

(19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

**2 645 681**

(21) N° d'enregistrement national :

**89 04592**

(51) Int Cl<sup>5</sup> : H 01 L 25/065, 23/528.

(12)

## DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 7 avril 1989.

(30) Priorité :

(43) Date de la mise à disposition du public de la  
demande : BOPI « Brevets » n° 41 du 12 octobre 1990.

(60) Références à d'autres documents nationaux appa-  
rentés :

(71) Demandeur(s) : THOMSON-CSF. — FR.

(72) Inventeur(s) : Christian Val, Thomson-CSF, SCPL.

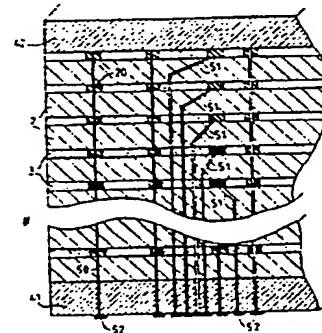
(73) Titulaire(s) :

(74) Mandataire(s) : Monique Benoit, Thomson-CSF, SCPL.

(54) Dispositif d'interconnexion verticale de pastilles de circuits intégrés et son procédé de fabrication.

(57) La présente invention a pour objet un dispositif d'inter-  
connexion verticale de pastilles semi-conductrices portant cha-  
cune un circuit intégré.

Selon l'invention, les pastilles sont empilées et rendues  
solidaires les unes des autres; leurs plots de connexion sont  
reliés aux parois latérales de l'empilement et interconnectés à  
l'aide de conducteurs déposés sur les parois latérales de  
l'empilement.



BEST AVAILABLE COPY

FR 2 645 681 - A1

1

**DISPOSITIF D'INTERCONNEXION VERTICALE  
DE PASTILLES DE CIRCUITS INTEGRES  
ET SON PROCEDE DE FABRICATION**

La présente invention a pour objet un dispositif assurant l'interconnexion verticale de pastilles semiconductrices, portant chacune un circuit intégré, ainsi que son procédé de fabrication.

5                    Pour former un circuit électronique, il est connu de monter des pastilles de circuits intégrés chacune dans un boîtier, les boîtiers étant disposés sur une carte de circuit imprimé assurant leur interconnexion. Avec un montage de ce type, le rapport entre la surface de matériau semiconducteur et  
10 la surface utilisée sur la carte imprimée atteint au mieux environ 10%, dans le cas de boîtiers sans pattes de connexion. Lorsque la taille des pastilles de semiconducteur augmente, il est possible d'augmenter également le rapport précédent qui atteint, à l'heure actuelle, 70% pour les rondelles semiconductrices dont les dimensions sont de l'ordre de 100 mm  
15 (technique connue sous le nom de "Wafer Scale Integration" ou intégration à l'échelle de la rondelle de semiconducteur), avec les difficultés inhérent à ce genre de technique, notamment en ce qui concerne le rendement de fabrication. Il est également  
20 connu de réaliser des circuits dits hybrides, dans lesquels les pastilles semiconductrices sont montées sans boîtier sur un substrat de circuit imprimé ; les rapports de surfaces sont alors de l'ordre de 10 à 20%.

25                    La présente invention a pour but l'obtention d'un rapport de surfaces, ou densité d'intégration, très supérieur à ce qui est obtenu à l'heure actuelle.

30

A cet effet, les pastilles de circuits intégrés sont disposées, non plus seulement en surface mais également verticalement.

5 Plus précisément, les pastilles de circuits intégrés sont empilées et rendues solidaires les unes des autres ; leurs plots de connexion sont reliés aux parois latérales de l'empilement et interconnectés à l'aide de conducteurs disposés sur les parois latérales de l'empilement.

10 D'autres objets, particularités et résultats de l'invention ressortiront de la description suivante, donnée à titre d'exemple non limitatif et illustrée par les dessins annexés qui représentent :

- 15 - la figure 1, un mode de réalisation du dispositif selon l'invention ;
- la figure 2, une variante de réalisation du dispositif selon l'invention ;
- les figures 3a et 3b, deux vues d'une étape du procédé de fabrication du dispositif selon l'invention ;
- 20 - les figures 4a, 4b, 4c et 4d différentes vues d'une variante de réalisation du procédé selon l'invention,
- la figure 5, une variante de réalisation d'une étape du procédé selon l'invention,
- 25 - les figures 6a et 6b, deux sous-étapes d'une variante de réalisation du procédé selon l'invention.

Sur ces différentes figures, d'une part les mêmes références se rapportent aux mêmes éléments et d'autre part l'échelle réelle n'a pas été respectée pour la clarté des dessins.

30

La figure 1 représente donc un mode de réalisation du dispositif selon l'invention, représenté partiellement vu par l'une de ses faces latérales. Pour la clarté de la figure, bien que non vues en coupe, les différentes couches formant le dispositif ont été hachurées ou pointillées.

Sur cette figure, on distingue une pluralité de pastilles semiconductrices 2, portant chacune un circuit intégré, empilées verticalement et fixées les unes aux autres par l'intermédiaire d'une couche 3, isolante et adhésive. Les couches 3 doivent être thermo-mécaniquement compatibles avec le matériau semiconducteur 2 ; dans le cas du silicium, un matériau polyimide ou époxy convient ; il peut se présenter sous la forme d'un film ; son épaisseur est telle qu'il assure en outre la planéité de la surface supérieure des pastilles 2. L'empilement est terminé à chacune de ses extrémités par une couche dite de fermeture, réalisée en un matériau isolant, assurant notamment la protection mécanique de l'empilement, respectivement 41 et 42. Les couches de fermeture 41 et 42 sont réalisées en un matériau thermo-mécaniquement adapté au matériau semiconducteur des pastilles 2 ; dans le cas où celles-ci sont en silicium, les couches 41 et 42 peuvent être également en silicium, sous réserve qu'elles soient recouvertes d'une couche d'isolant (silice, par exemple).

Chacune des pastilles de circuit intégré 2 comporte classiquement des plots permettant sa connexion électrique. Selon l'invention, les plots des pastilles 2 sont prolongés jusqu'aux parois latérales (verticales) de l'empilement. Ces plots prolongés, repérés 20, sont interconnectés à l'aide de conducteurs 50, disposés sur les parois verticales de l'empilement et se terminant sur des plots 52 disposés sur la surface extérieure de l'une des couches de fermeture, par exemple la couche 41 sur la figure. Les conducteurs 50 sont disposés sur les faces latérales de l'empilement après que celles-ci aient reçu une couche électriquement isolante, en utilisant par exemple la technique du dépôt à travers un masque.

De la sorte, on assure l'interconnexion des pastilles entre elles et leur liaison électrique à l'extérieur. Dans le cas où le dispositif est formé de pastilles de circuits intégrés identiques (circuits mémoires, par exemple), on dispose dans

l'empilement les pastilles de la même façon de sorte à obtenir un alignement vertical des plots (20) analogues ; ceux-ci sont alors reliés par des conducteurs 50 verticaux, comme illustré sur la figure. Dans le cas où les circuits intégrés ne sont pas identiques, les interconnexions latérales peuvent être réalisées en plusieurs épaisseurs (multicouche) si nécessaire.

Enfin, le dispositif comporte encore de préférence, toujours disposés sur ses faces verticales, des conducteurs 51 reliés chacun à l'une seulement des pastilles et assurant ainsi la sélection d'une ou plusieurs pastilles de l'empilement. Les conducteurs 51 se terminent également chacun par un plot 52.

Il apparaît ainsi qu'on a réalisé un dispositif constitué par l'empilement de pastilles semiconductrices, connectées entre elles directement sur les tranches de l'empilement et susceptibles d'être adressées sélectivement, ce qui permet un gain de place considérable sur la carte de circuit intégré destinée à les recevoir : les différentes pastilles constituant l'empilement et leurs interconnexions n'occupent en effet que la surface d'une seule pastille. En réalisant par exemple un empilement de 8 à 10 pastilles, il est possible d'atteindre des rapports surface semiconductrice/surface de carte imprimée de 500 à 800 %. Bien entendu, l'empilement ainsi réalisé peut être disposé dans un boîtier ou encore être connecté directement sur la carte de circuit imprimé, époxy ou céramique par exemple. Il est à noter que les pastilles peuvent être réduites en épaisseur, par toute technique de rodage connue, en vue de leur empilement et, éventuellement, de leur encapsulation dans un boîtier.

La figure 2 représente une vue partielle d'une variante de réalisation du dispositif selon l'invention.

Sur cette figure, on retrouve les pastilles semiconductrices 2, empilées verticalement par l'intermédiaire des couches isolantes et adhésives 3, ainsi que les couches de fermeture 41 et 42. Sur la couche 41, on a représenté, à titre

d'exemple, un seul plot 52 auquel aboutit un conducteur d'interconnexion 50, disposé sur une face verticale du dispositif et interconnectant des plots 20 des pastilles 2.

5 Dans ce mode de réalisation, le dispositif comporte, sur l'une de ses faces externes, un composant auxiliaire tel qu'un condensateur de découplage 6. Celui-ci peut, par exemple comme représenté, être disposé dans une ouverture 43 de la couche de fermeture (41) qui porte les plots de connexion 52 du dispositif, plots auxquels il est lui-même relié (conducteur 10 61).

Les figures 3a et 3b représentent deux vues d'une étape du procédé de fabrication du dispositif selon l'invention, étape qui consiste à prolonger les plots de chaque pastille 15 semiconductrice jusqu'à la périphérie de la pastille.

Sur la figure 3a, on a représenté une pastille 2 vue de dessus avec ses plots prolongés 20.

La figure 3b est une coupe faite dans la pastille 2 selon un axe AA, au droit d'un plot 20. Cette coupe montre le 20 substrat semiconducteur 21 de la pastille 2, recouvert classiquement d'une couche isolante 24 dans laquelle est ménagée une ouverture. Dans cette ouverture est déposé un matériau conducteur 22 destiné à former le plot de la pastille.

25 Selon l'invention, la couche 22 est recouverte d'une seconde couche conductrice 23, se prolongeant (sur la couche 24) jusqu'à la face latérale de la pastille 2. Dans le cas où la pastille est formée de silicium, la couche d'isolation 24 est classiquement en oxyde de silicium, le plot 22 en aluminium et la seconde couche conductrice 23 est de préférence en or. Le 30 dépôt d'or peut n'être pas fait directement sur l'aluminium 22, mais par l'intermédiaire d'un alliage titane-tungstène ou chrome-nickel, par exemple.

Les figures 4a à 4d représentent différentes vues d'une variante de réalisation du procédé de fabrication selon l'invention.

5 La figure 4a représente une vue en coupe fractionnaire d'une pastille 2, la coupe étant effectuée au droit d'un plot.

Sur cette figure, on retrouve, disposés et maintenu sur un support 26, le substrat semiconducteur 21 recouvert d'une couche isolante 24 et d'un plot de connexion 22, réalisé dans une ouverture de la couche 24.

10 Dans ce mode de réalisation, on soude sur le plot 22 un ruban conducteur 25. Sur le support 26, on dispose autour de la pastille 2 un cadre 28, dont on n'a représenté qu'un côté sur la figure. Ce cadre comporte, à sa périphérie extérieure, une pluralité de trous 29 utilisés à des fins de  
15 positionnement ; il porte également un dépôt conducteur 27 s'étendant à sa périphérie interne. Le ruban conducteur 25 est appliqué et soudé sur le dépôt 27. Dans l'exemple précédent où la pastille est en silicium, le ruban 25 est par exemple en or, le cadre 28 en un matériau organique et le dépôt 27 en cuivre,  
20 éventuellement doré.

La figure 4b est une vue de dessus partielle de la figure précédente, où l'on retrouve la pastille 2, un plot 22, un ruban 25, le cadre 28 avec son dépôt conducteur 27 et ses trous de positionnement 29.

25 La figure 4c représente l'étape suivante du procédé selon l'invention, dans laquelle on réalise l'empilement d'une pluralité de pastilles 2 entourées de leur cadre 28. L'empilement est réalisé de sorte à obtenir un alignement des trous de positionnement des différents cadres, ce qui est schématisé par  
30 un axe 31 d'alignement ; les différentes pastilles 2 et leurs cadres 28 sont immobilisés et rendus solidaires les uns des autres à l'aide des couches 3 d'isolation et de collage, non représentées sur cette figure pour la clarté du dessin.

L'étape suivante du procédé consiste à découper le bloc précédemment obtenu -et les rubans 25- selon un axe de

découpe 32, situé entre pastilles 2 et cadres 28, proche de la tranche des pastilles 2.

5 L'empilage subit ensuite une opération de polissage, destinée à rendre planes ses faces verticales et à affleurer les tranches des pastilles 2. On obtient alors ce qui est schématisé sur la figure 4d, à savoir, affleurant sur un même plan, les pastilles 2 liées entre elles et les plots 20 constitués par la section des conducteurs 25, noyés dans le matériau isolant 3.

10 La figure 5 représente, vue de dessus, une variante de réalisation d'une étape du procédé selon l'invention.

15 Sur cette figure, on a représenté quatre pastilles 2 avant leur découpe dans une même rondelle 32 semiconductrice. Comme dans le mode de réalisation précédent, les plots 22 des pastilles 2 sont prolongés vers les faces latérales des pastilles à l'aide de rubans conducteurs, repérés 31, mais qui sont ici connectés directement entre deux plots 22 de pastilles différentes en vis-à-vis. Après le câblage de l'ensemble des plots, un dépôt d'isolant est réalisé, permettant en outre le  
20 maintien des rubans 31. A titre d'exemple, le dépôt d'isolant peut être fait chimiquement, en phase vapeur active par plasma, à basse température.

25 La découpe de la rondelle est ensuite effectuée, puis les opérations d'empilage, collage et polissage sont réalisées comme précédemment.

Les figures 6a et 6b représentent deux vues partielles d'une variante de réalisation du dispositif selon l'invention.

30 Sur la figure 6a, on a représenté deux pastilles 2 avant leur découpe dans une même rondelle 32 semiconductrice. Chacune des pastilles 2 porte des plots 22.

Selon cette variante, des trous oblongs 33 sont percés dans la rondelle 32, de sorte que soit réalisé un demi-trou dans chacun des plots 22. Le perçage est réalisé par exemple par laser ou ultra-sons.



Les étapes suivantes consistent à réaliser une couche d'isolation sur les trous, par oxydation de la pastille par exemple, puis une métallisation de ces trous (dépôt sous vide ou électrochimique) et la découpe des pastilles.

5 La figure 6b représente une pastille 2 comportant des ouvertures 34, constituées par des demi-trous, réalisées dans les plots 22 et recouverts d'une couche isolante non représentée puis d'une couche conductrice 35, en contact électrique avec les plots 22.

10 La suite du procédé se déroule comme précédemment, à savoir empilement et fixation des pastilles 2 puis interconnexion, par étamage ou câblage de rubans dans les demi-trous qui, dans ce cas, doivent être alignés.

## REVENDICATIONS

1. Dispositif d'interconnexion de circuits intégrés, les circuits étant réalisés chacun dans une pastille de matériau semiconducteur comportant des plots de connexion électrique, le dispositif étant caractérisé par le fait que les pastilles (2)  
5 sont disposées selon un empilement, et qu'il comporte des premiers moyens (3) pour rendre les pastilles mécaniquement solidaires et les isoler électriquement les unes des autres, des deuxièmes moyens (23;25;31;35) pour relier électriquement chacun des plots (22) aux parois latérales de l'empilement et  
10 des troisièmes moyens (50) assurant l'interconnexion des plots sur lesdites parois latérales.

2. Dispositif selon la revendication 1, caractérisé par le fait qu'il comporte en outre des quatrièmes moyens (51) assurant la sélection de l'une quelconque des pastilles.

15 3. Dispositif selon l'une des revendications précédentes, caractérisé par le fait que les premiers moyens comportent une couche (3) d'un matériau électriquement isolant et adhésif disposée entre chaque pastille.

20 4. Dispositif selon l'une des revendications précédentes, caractérisé par le fait que les troisièmes moyens comportent des rubans conducteurs (50) disposés sur les parois latérales de l'empilement.

25 5. Dispositif selon l'une des revendications précédentes, caractérisé par le fait que les deuxièmes moyens comportent, pour chacun des plots (22), une couche (23) de matériau électriquement conducteur, déposée sur le plot et se prolongeant jusqu'à la paroi latérale de l'empilement.

30 6. Dispositif selon l'une des revendications 1 à 4, caractérisé par le fait que les deuxièmes moyens comportent, pour chacun des plots (22), un ruban (25;31) de matériau électriquement conducteur, disposé sur le plot et se prolongeant jusqu'à la paroi latérale de l'empilement.

7. Dispositif selon l'une des revendications 1 à 4, caractérisé par le fait que les deuxièmes moyens sont constitués par une ouverture (34), en forme de demi-trou, réalisée dans chaque pastille (2) au niveau de chaque plot (22), de sorte à ce  
5 que le plot affleure le demi-trou et par suite la paroi latérale de l'empilement.

8. Dispositif selon l'une des revendications précédentes, caractérisé par le fait qu'il comporte en outre des couches (41, 42) dites de fermeture, aux deux extrémités de  
10 l'empilement, assurant la protection mécanique de ce dernier.

9. Dispositif selon l'une des revendications précédentes, caractérisé par le fait qu'il comporte en outre un condensateur de découplage (6), disposé sur une extrémité de l'empilement.

10. Dispositif selon l'une des revendications précédentes, caractérisé par le fait que les circuits intégrés sont identiques et que les pastilles (2) sont disposées de sorte  
15 que les plots analogues soient alignés.

11. Procédé de fabrication d'un dispositif d'interconnexion selon l'une des revendications précédentes, caractérisé par le fait qu'il comporte les étapes suivantes :

- liaison électrique des plots des pastilles jusqu'aux parois latérales des pastilles,
- empilement des pastilles à l'aide de couches de  
25 matériau adhésives et électriquement isolantes,
- interconnexion des plots à l'aide de moyens conducteurs disposés sur les parois latérales de l'empilement.

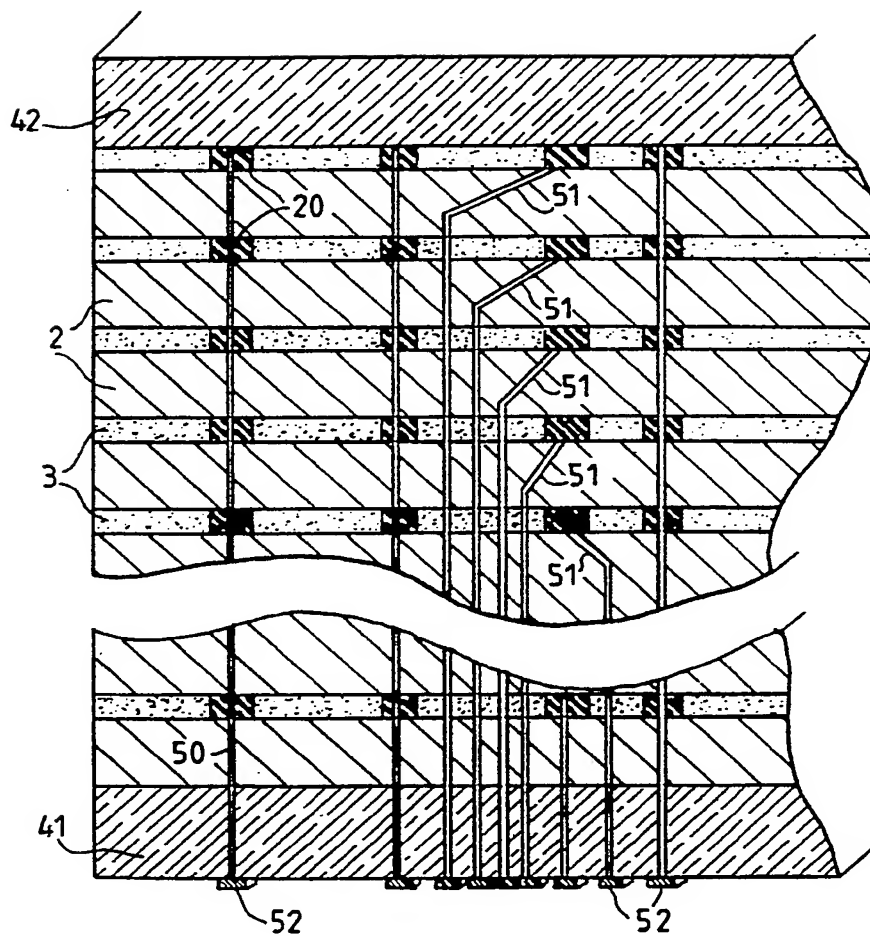


FIG.1

2/5

FIG. 2

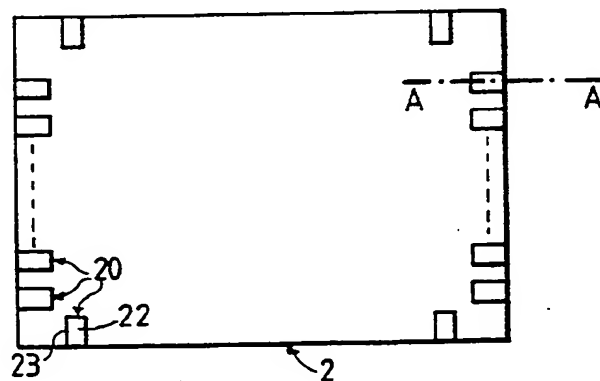
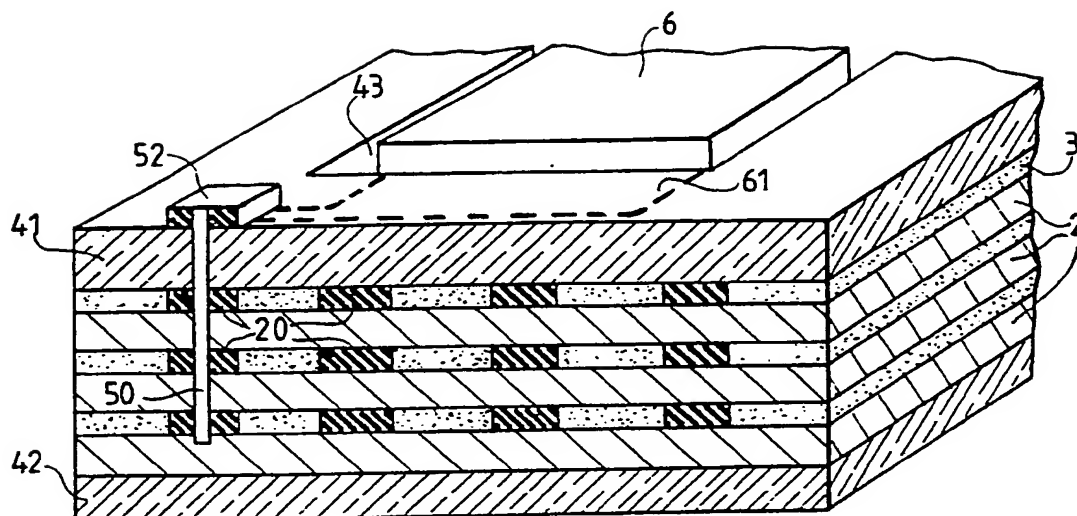
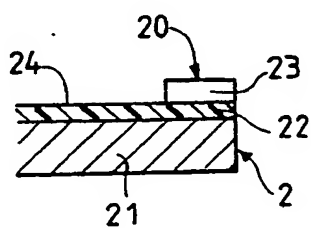


FIG. 3a

FIG. 3b  
COUPE A-A

3/5

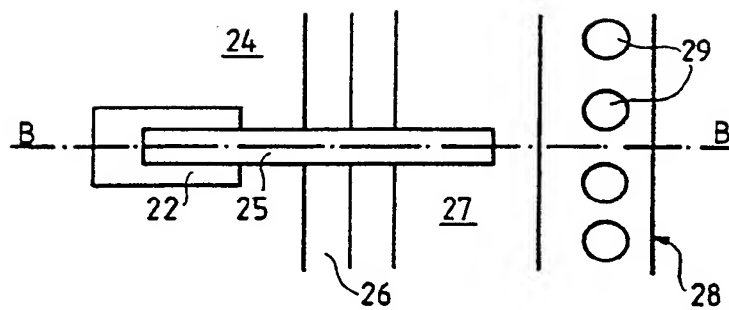


FIG. 4b

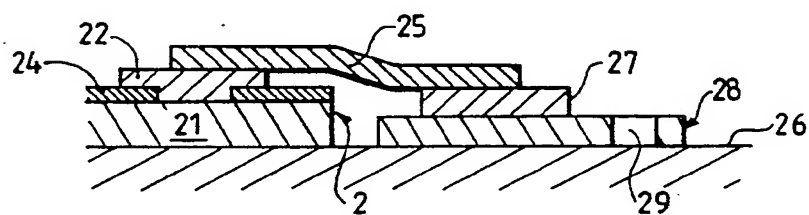


FIG. 4a

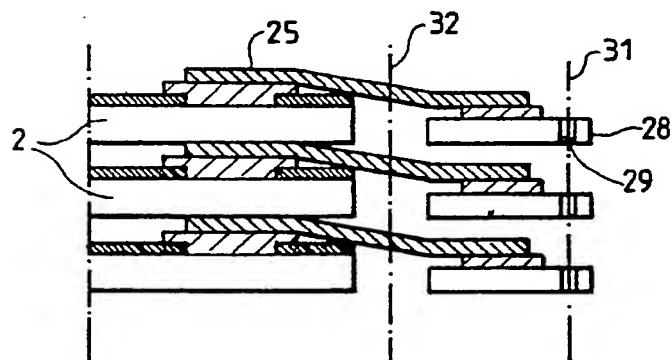


FIG. 4c

4/5

FIG. 4d

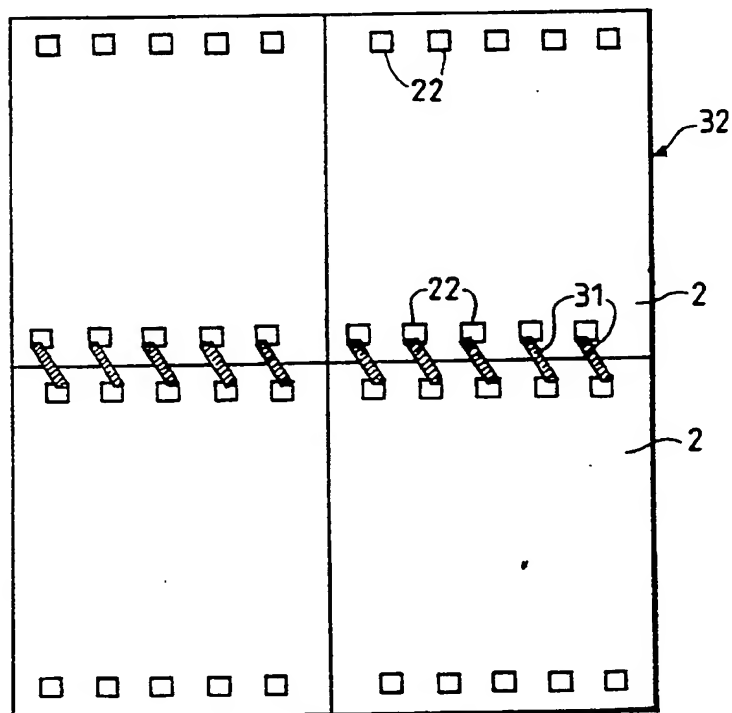
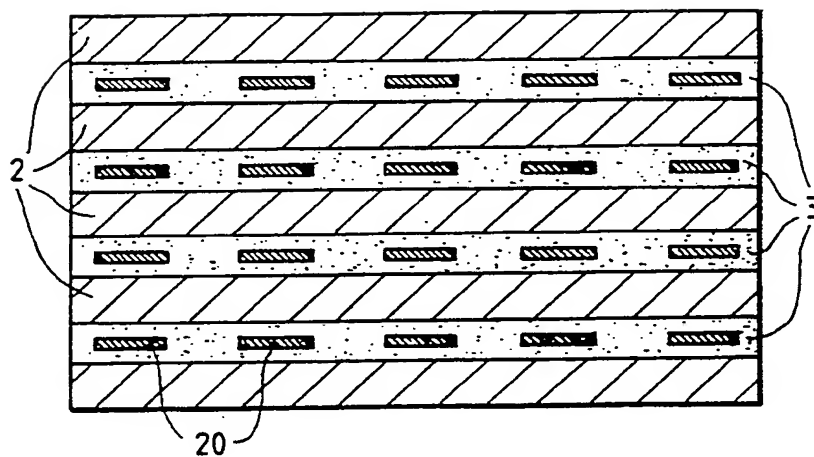


FIG. 5

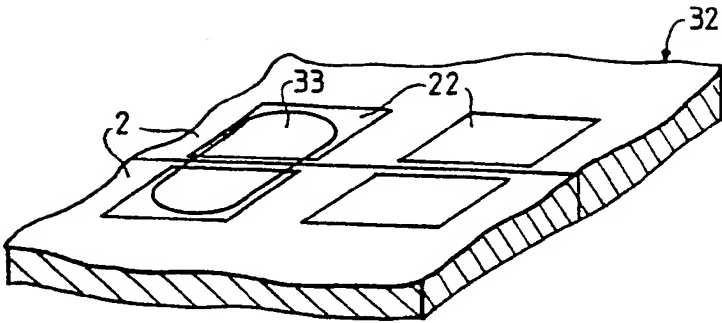


FIG. 6a

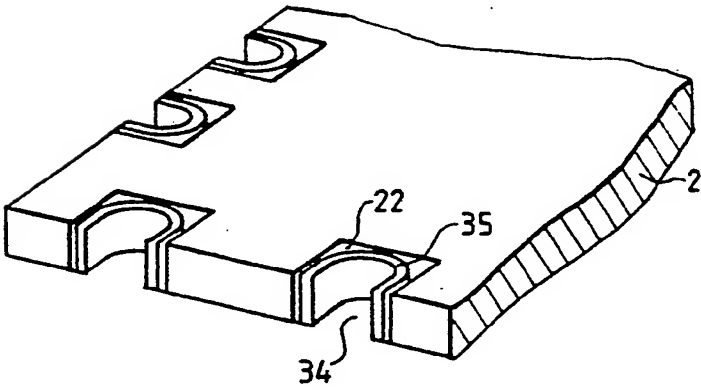


FIG. 6b